Disegno e implementazione di progetti in FPGA Zynq di Xilinx: un esempio pratico

Riccardo Travaglini
Ignazio D'Antone, Stefano Meneghini, Luigi Rignanese, Mirco Zuffa

INFN - sezione di Bologna - Centro di Elettronica
Workshop su Applicazioni FPGA in ambito Astrofisica
Sessione 2 - Torino 18 maggio 2016

Il Centro di Elettronica della Sezione di Bologna dell'INFN

- Attivita' a supporto degli esperimenti in Sezione
- Progettazione, sviluppo, test e installazione di elettronica per sistemi di front-end, trigger e acquisizione
- 14 componenti

- Ventennale esperienza di lavoro con FPGA (Altera, Microsemi, Xilinx):
  - ✓ progettazione di PCB (Orcad, Pads, Expedition, HyperLynx)
  - ✓ sviluppo di firmware (VHDL, C++, Handel-C, Schematic)
  - ✓ software per microprocessori embedded (C)

http://www-ceb.bo.infn.it

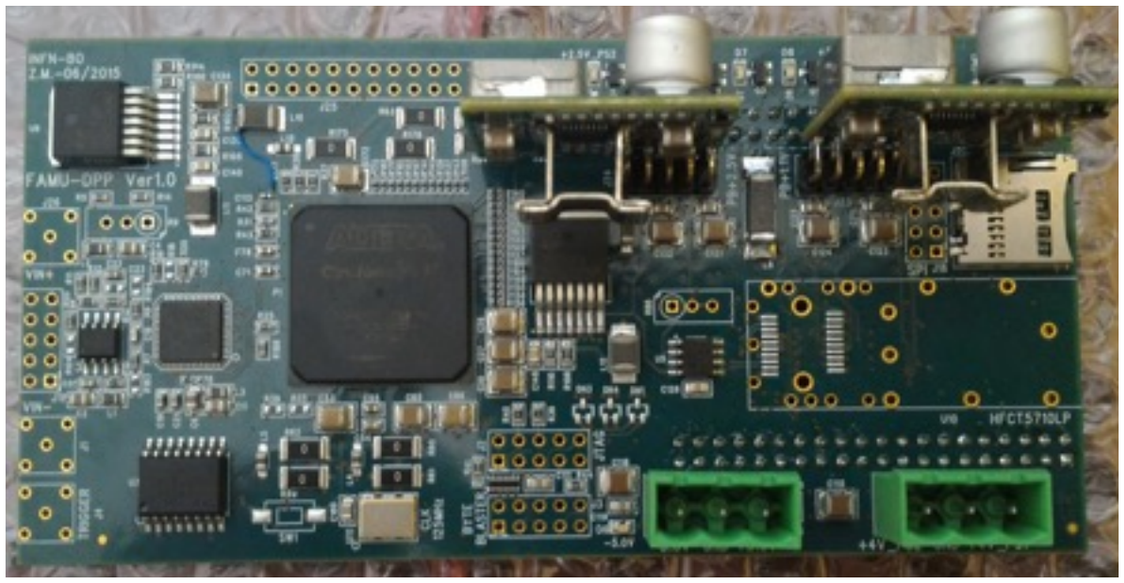
Progetto di R&D per un canale di acquisizione a 1 GS/s
Motivazioni e Stato dell'arte @INFN-BO

Centro di Elettronica INFN Bologna

- Elevati rate di campionamento favoriscono:
  - Discriminazione a forma di impulso
  - Reiezione di pile-up nell'acquisizione di rivelatori veloci

- Esempi di rivelatori:
  - PMT con fronti di salita veloci (~ 10 ns)
  - SiPM

- 2015: realizzata una scheda con ADC commerciale (12 bit @ 500 MS/s) per l'esperimento FAMU*



6 layer
130x65 mm
ADC: AD9434
Altera Cyclone V 5CGXC5
(custom fw)
out to USB 3.0 mezzanine

*https://webint.ts.infn.it/en/research/exp/famu.html

Progetto di R&D per un canale di acquisizione a 1 GS/s
Obiettivi

Centro di Elettronica INFN Bologna

- Attivita' di R&D del centro di elettronica per realizzare un dispositivo a 1 GS/s
- Design: ADC-interleaved con due ADC a 500 MS/s
- Obiettivi principali:
  - Studio delle problematiche della realizzazione di un PCB per il campionamento a 1 GS/s
  - Esperienza nella realizzazione e calibrazione di ADC-interleaved
  - Esperienza nell'acquisizione ed elaborazione real-time tramite FPGA Zynq di Xilinx

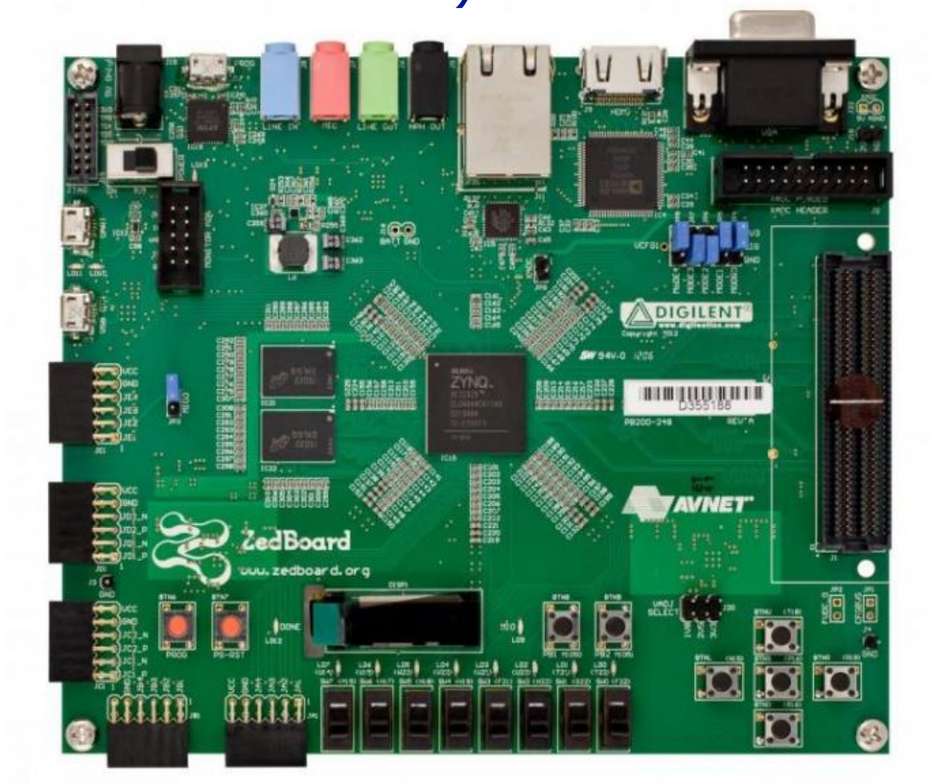
- Stato del progetto:
  - identificato i requisiti di progetto e i componenti tramite simulazioni e misure con schede commerciali (trattato nel seguito della presentazione)
  - terminato lo schematico
  - ordinati i componenti
  - layout in corso

Studio preliminare: acquisizione a 500 MS/s con schede commerciali

Istituto Nazionale di Fisica Nucleare

Centro di Elettronica INFN Bologna

Obiettivi dello studio preliminare: finalizzare il firmware di acquisizione, verificare le performance variando condizioni di progetto (ad es. utilizzando diverse sorgenti di clock con forme d'onda note)



Diglient ZedBoard

Zynq Z7020

Dual Core Arm Cortex-A9 max 866 MHz

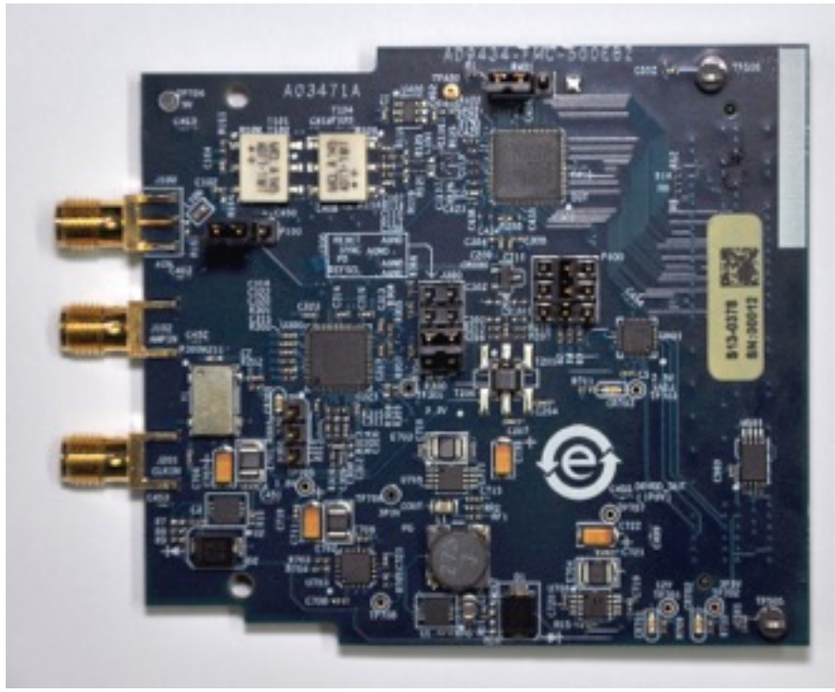
Fs: ~100k

Lut: ~53k

Block RAM: 516kb

220 DSP48

0 transceivers



Analog Devices AD9434-FMC-500EB

AD9434 ADC

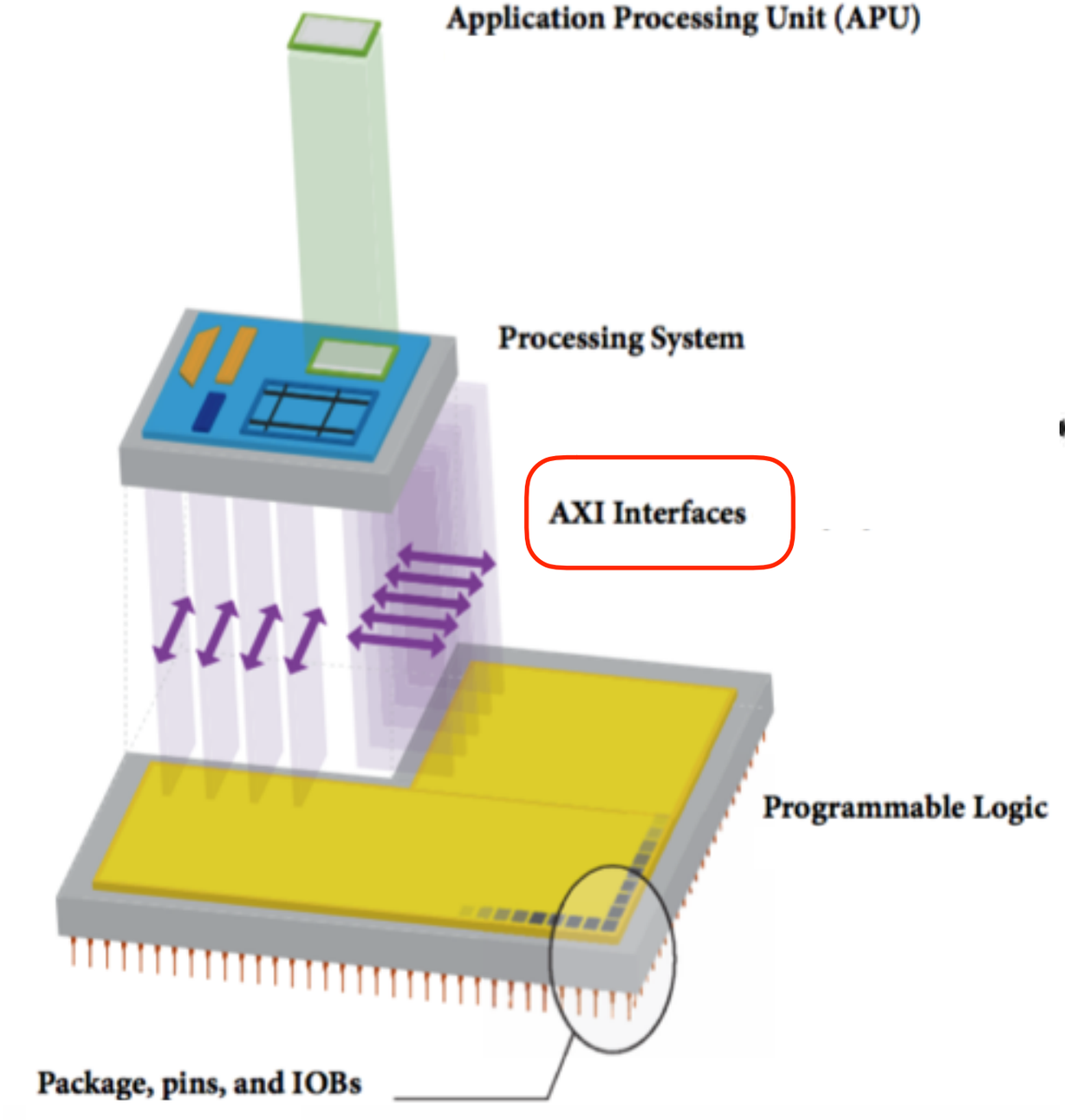
1 Channel

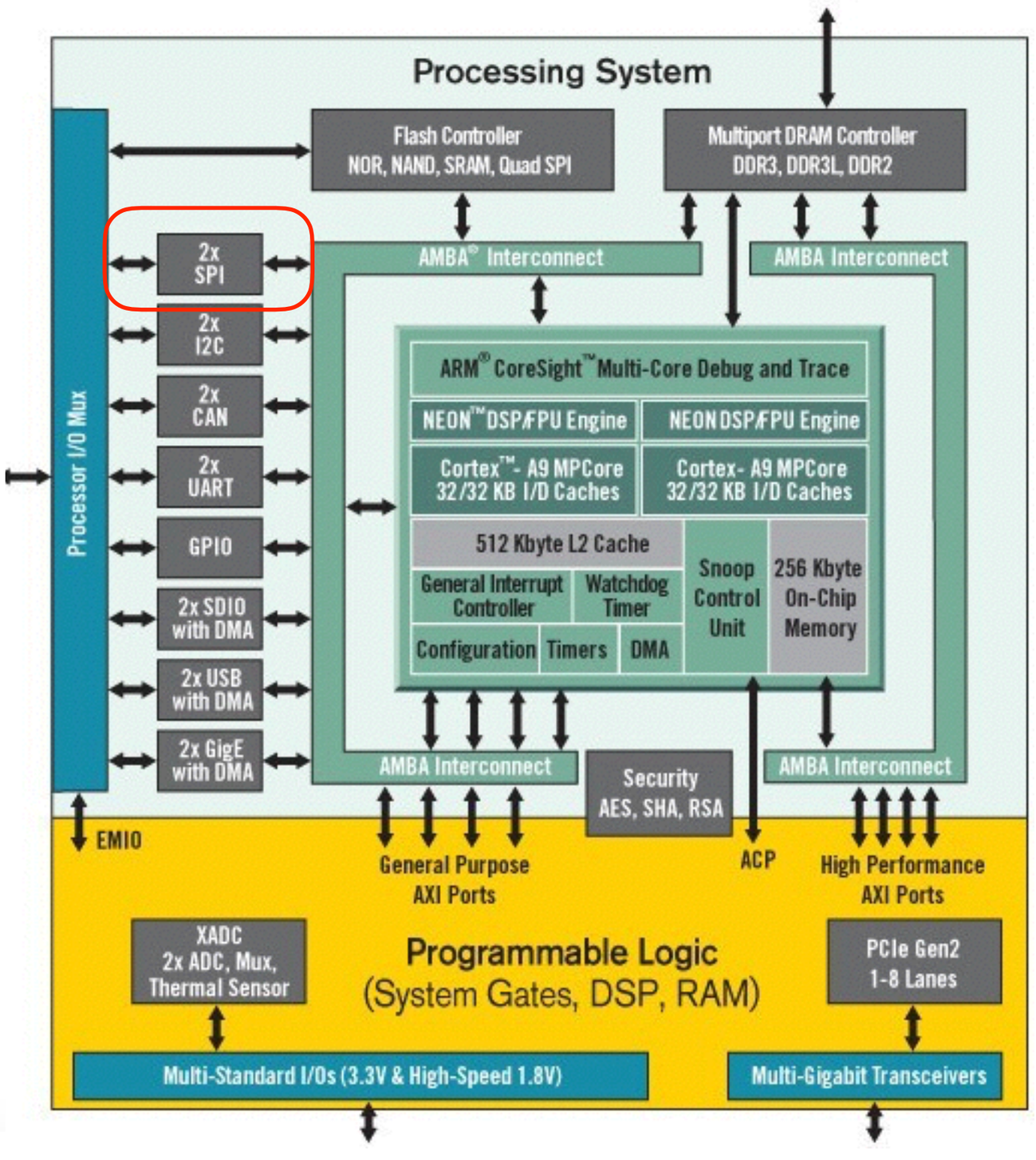
12-bit

500 MS/s

Xilinx Zynq - la piattaforma hardware

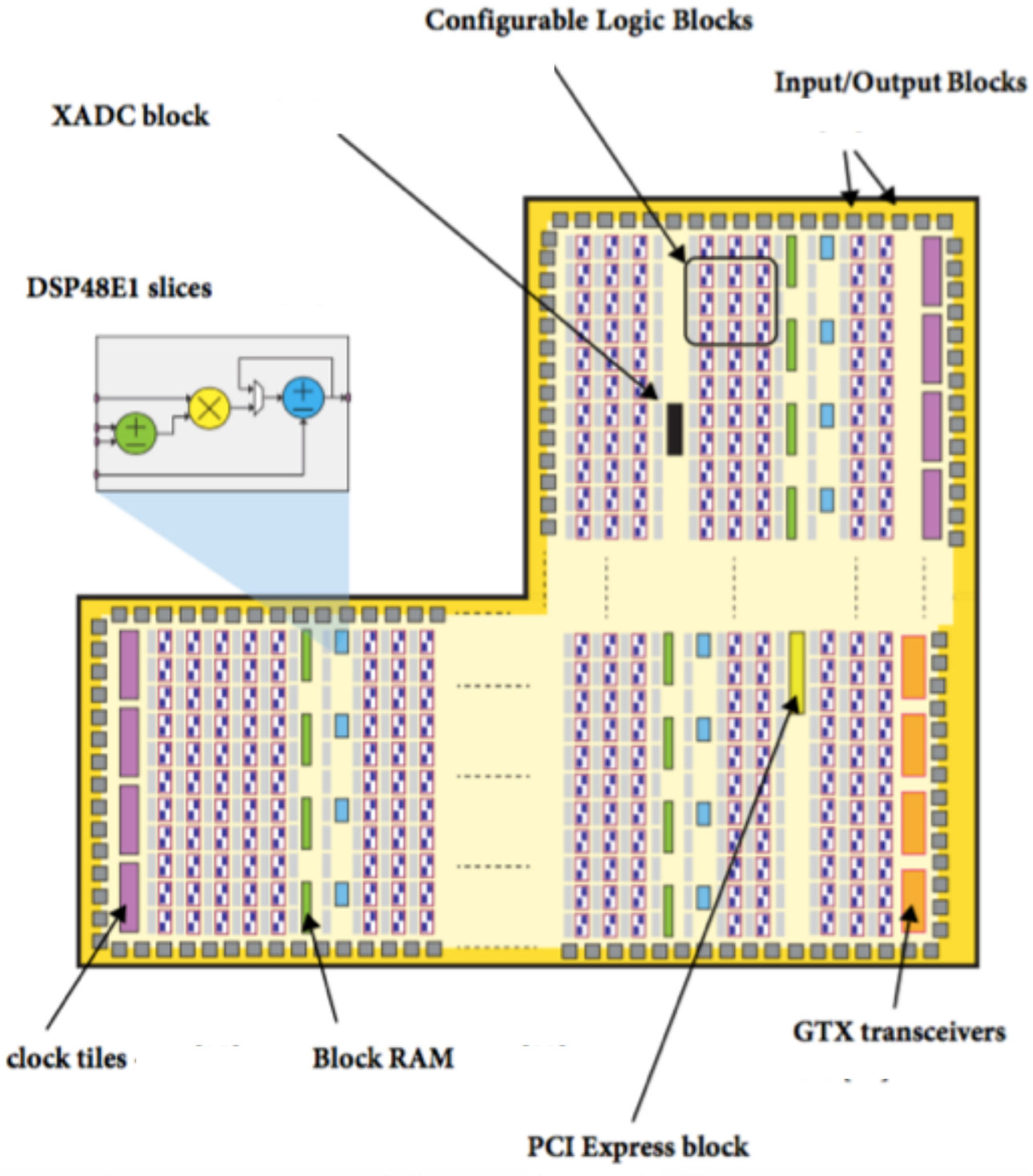
Centro di Elettronica INFN Bologna

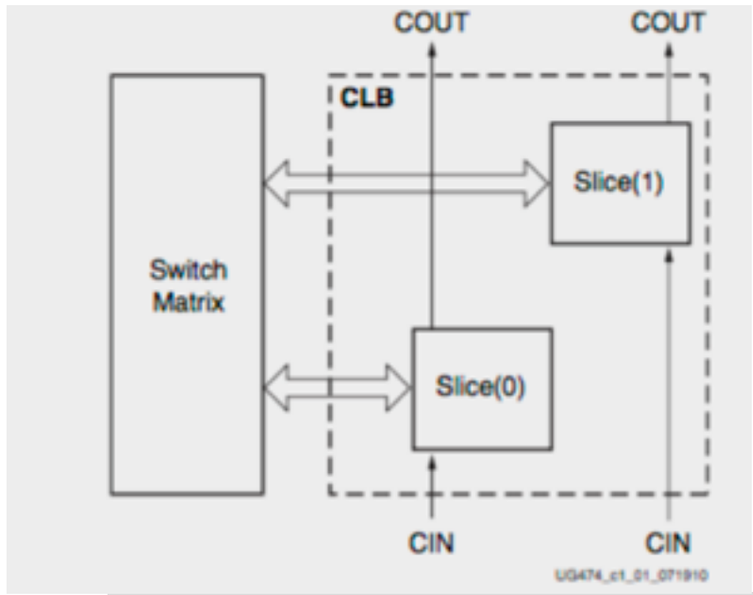


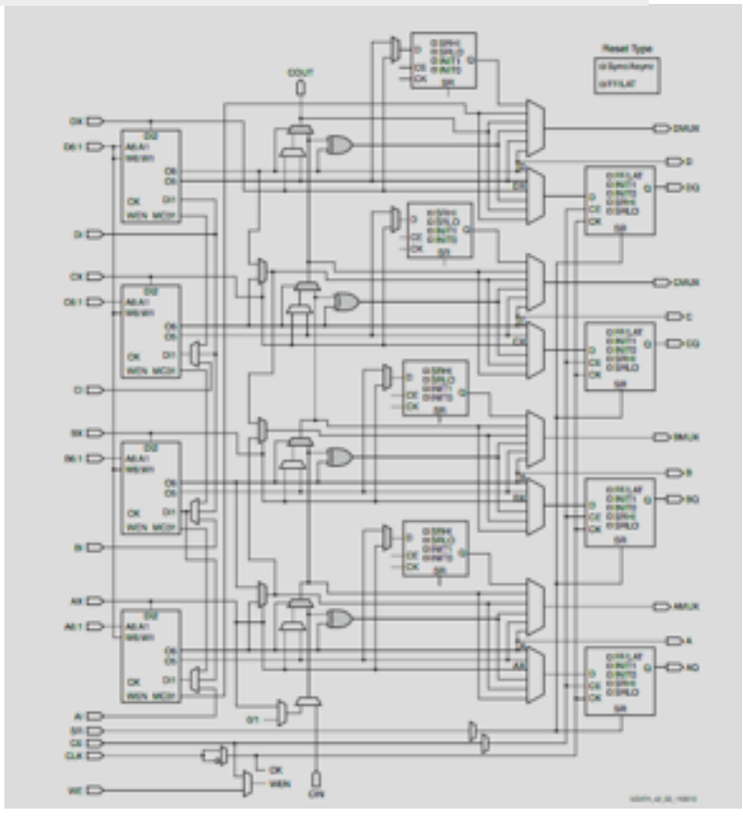


Xilinx Zynq - Programmable Logic

Centro di Elettronica INFN Bologna



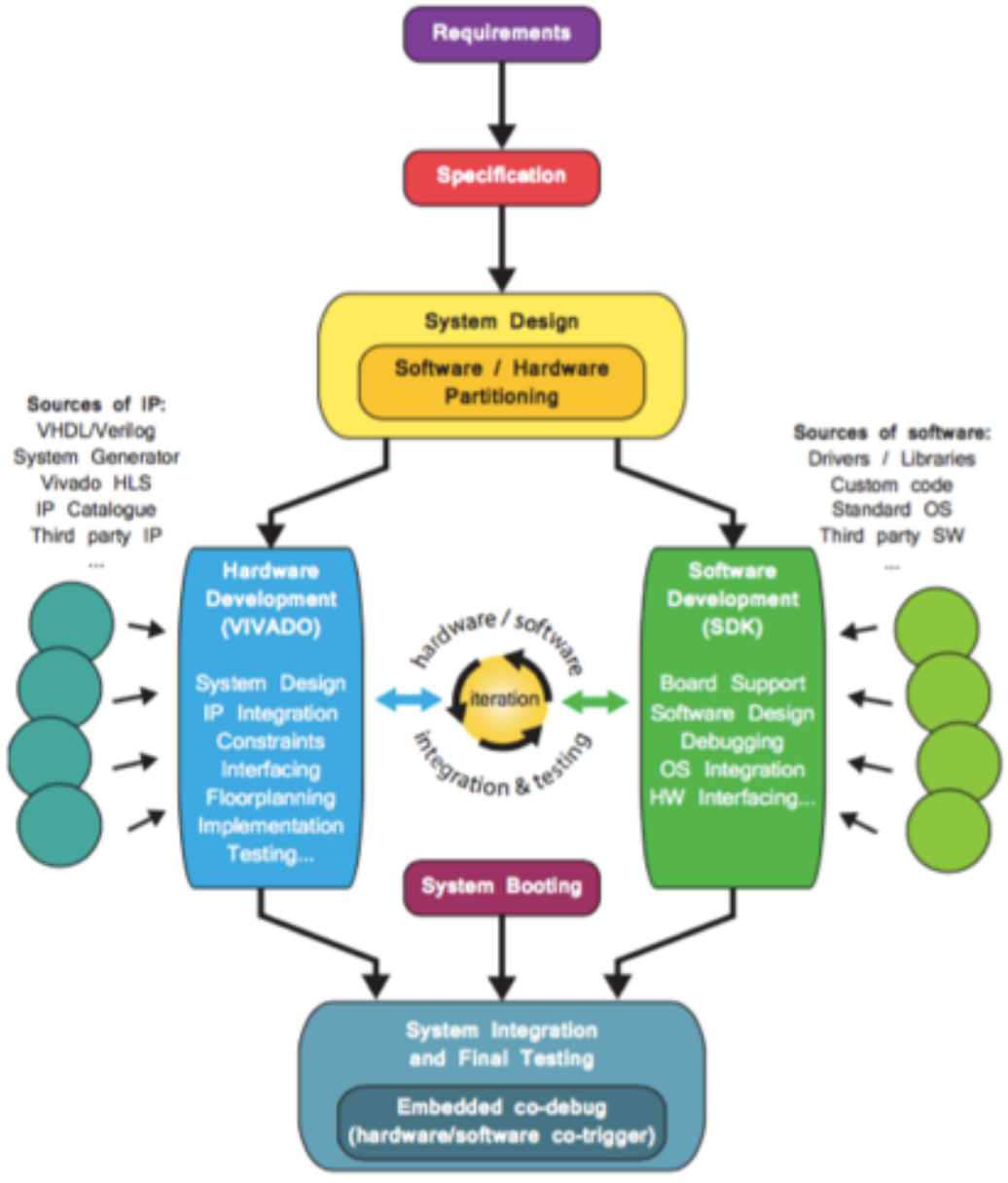




Logica programmabile per la serie 7 comune a tutti gli FPGA

"Standard" Zynq design strategy

Centro di Elettronica INFN Bologna



Diversi tool per lo sviluppo di FW e SW (parallelizzabile)

Software

Sistema operativo
Task sequenziali general purpose
User Application
GUIs

Firmware

Algoritmi che richiedono
elevato flusso di dati
Algoritmi paralleli
=> offloading co-processors

Periferiche custom

Esempio di disegno di FPGA Zynq con Vivado (ADC a 500 MS/s)

Centro di Elettronica INFN Bologna

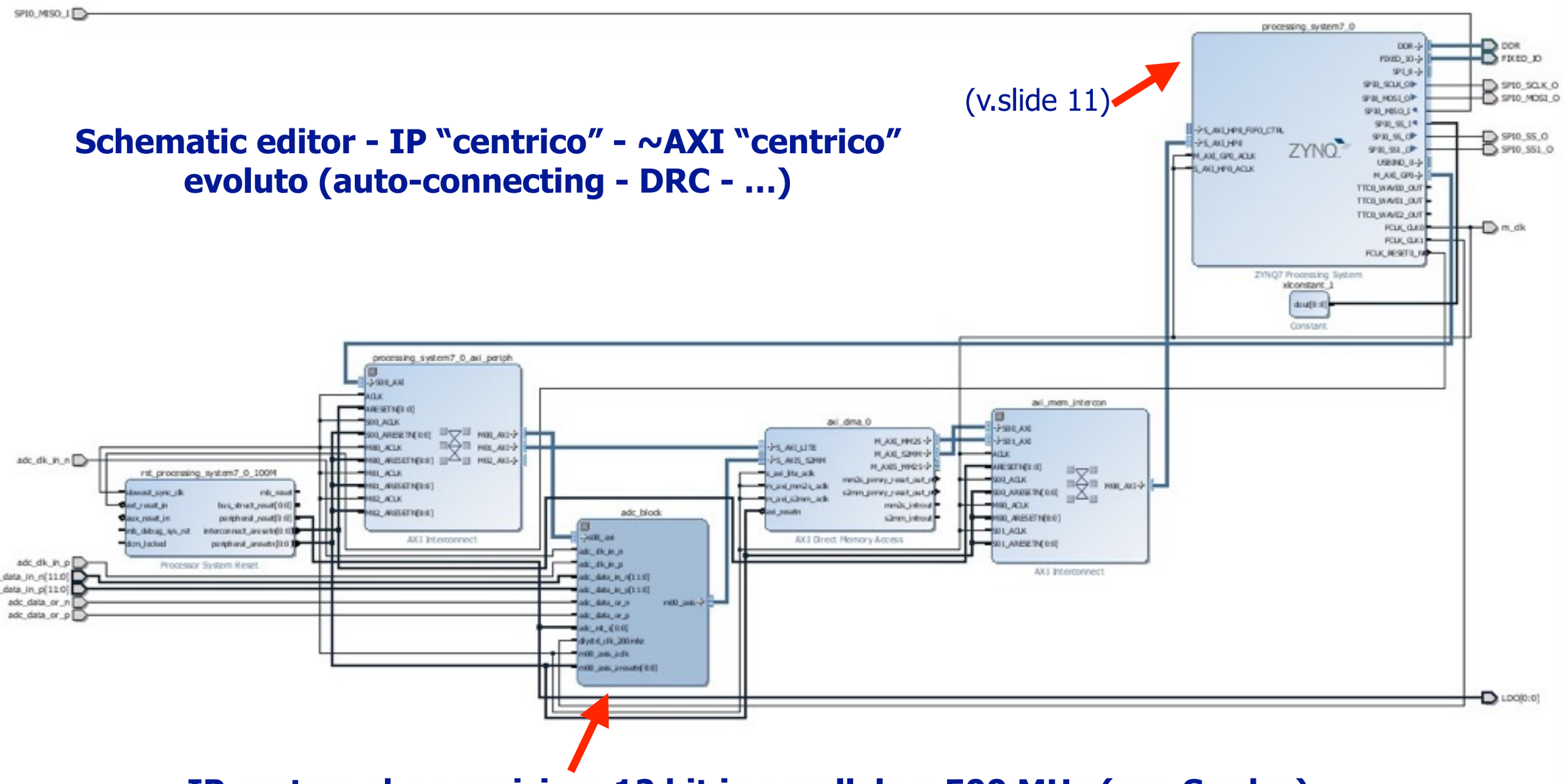
- Nota: progetto derivato da esempio con Microblaze su board demo ML605 con Spartan 6 (https://wiki.analog.com/resources/fpga/xilinx/fmc/ad9434)

nelle slides successive:

- IP integrator: Block Design per la configurazione del Processing System e l'implementazione nell Programmable Logic di IP
  - Xilinx, 3rd party : AXI interconnect, DMA, reset system…
  - Custom : AD9434_to_AXI…
- Block design wrapper in VHDL (automaticamente generato)
- Modifica integrando interfaccia tra Zynq SPI e implementazione I^2C-like dell'ADC (VHDL)
- Sintesi
- Inserimento di core per il debug di segnali (Integrated Logic Analyzers)
- Piazzamento dei pin di I/O
- Timing constraints
- Implementazione e Bitfile

IP integrator - Block Design

Centro di Elettronica INFN Bologna



(v.slide 11)

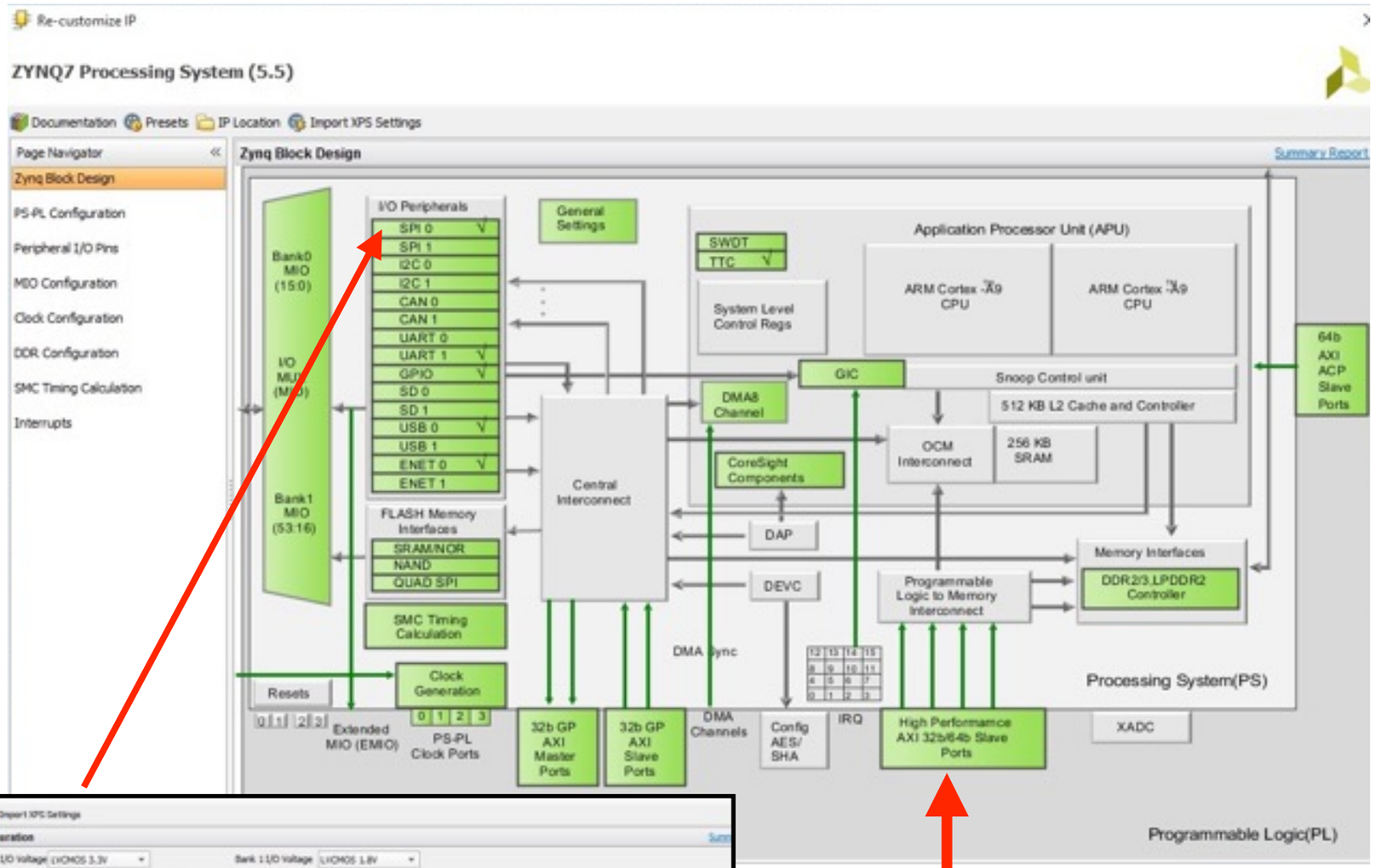
Schematic editor - IP "centrico" - ~AXI "centrico" evoluto (auto-connecting - DRC - ...)

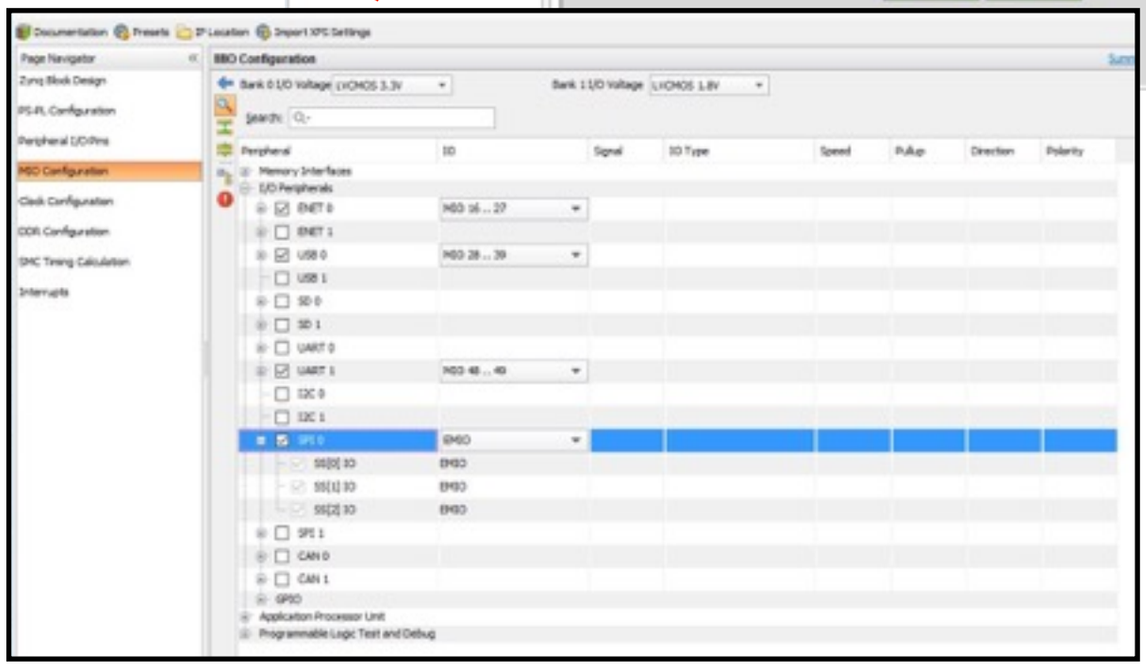
IP custom che acquisisce 12 bit in parallelo a 500 MHz (con Serdes), parallelizza 1 a 4 bus a 125 MHz (48 bit) e implementa AXI master a 64 bit (verso il DMA)

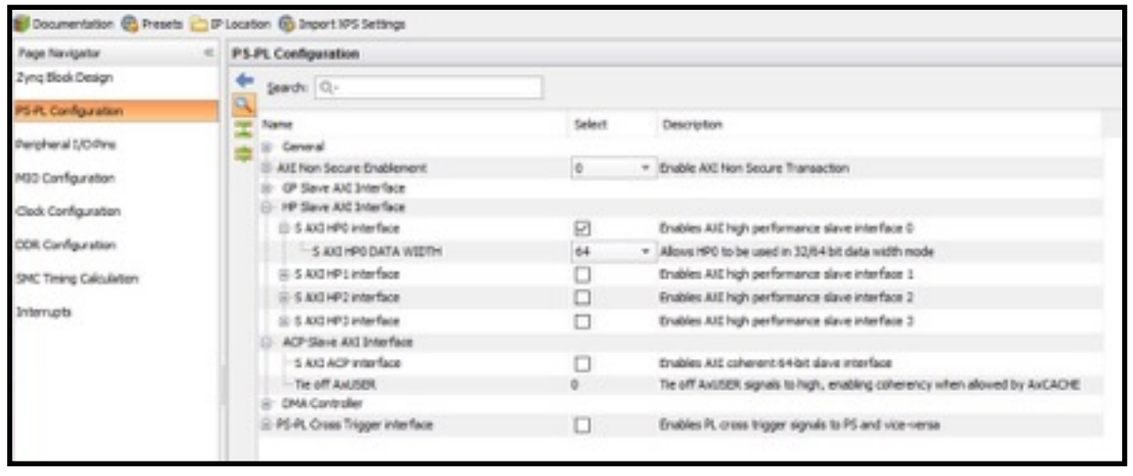
(VHDL puro - v.slide 12)

Zynq Processing System IP core

Centro di Elettronica INFN Bologna

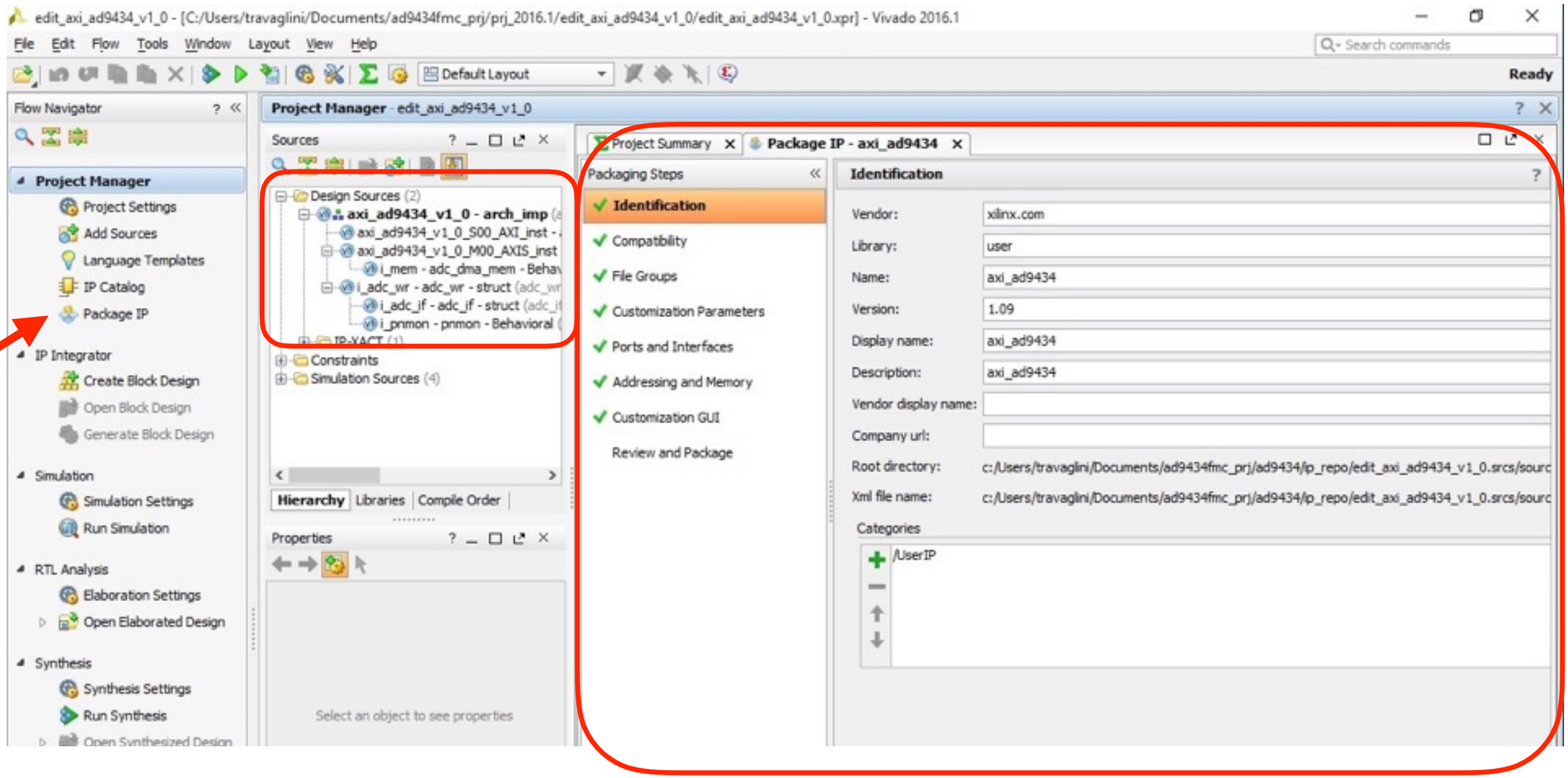






Sviluppo e integrazione di IP custom

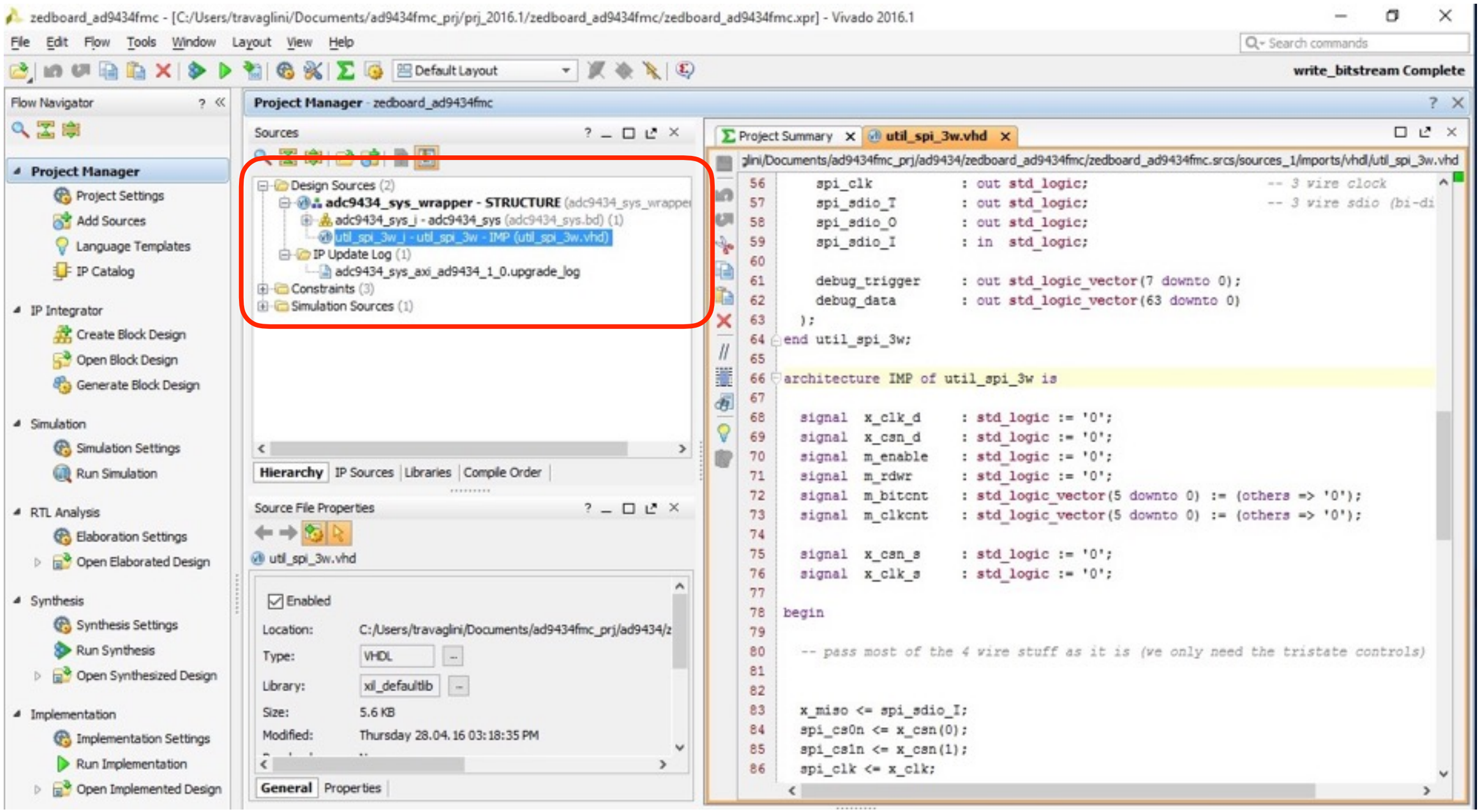
Centro di Elettronica INFN Bologna



Progetto di Vivado configurato per generare un IP e creato con un "wizard" dal progetto originale

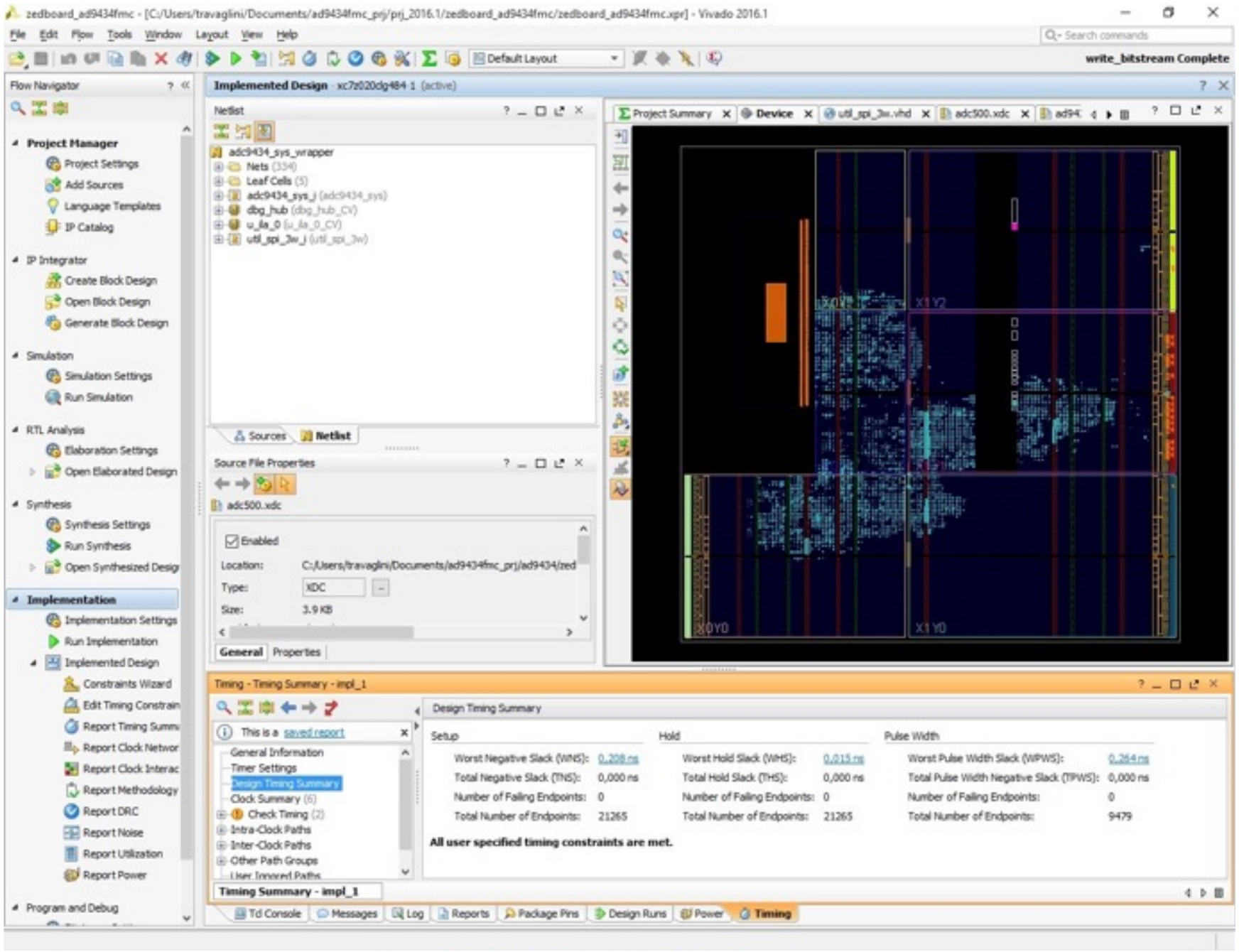
Integrazione di componenti VHDL

Centro di Elettronica INFN Bologna



Convivenza di IP integrator e moduli VHDL

Implementazione del progetto

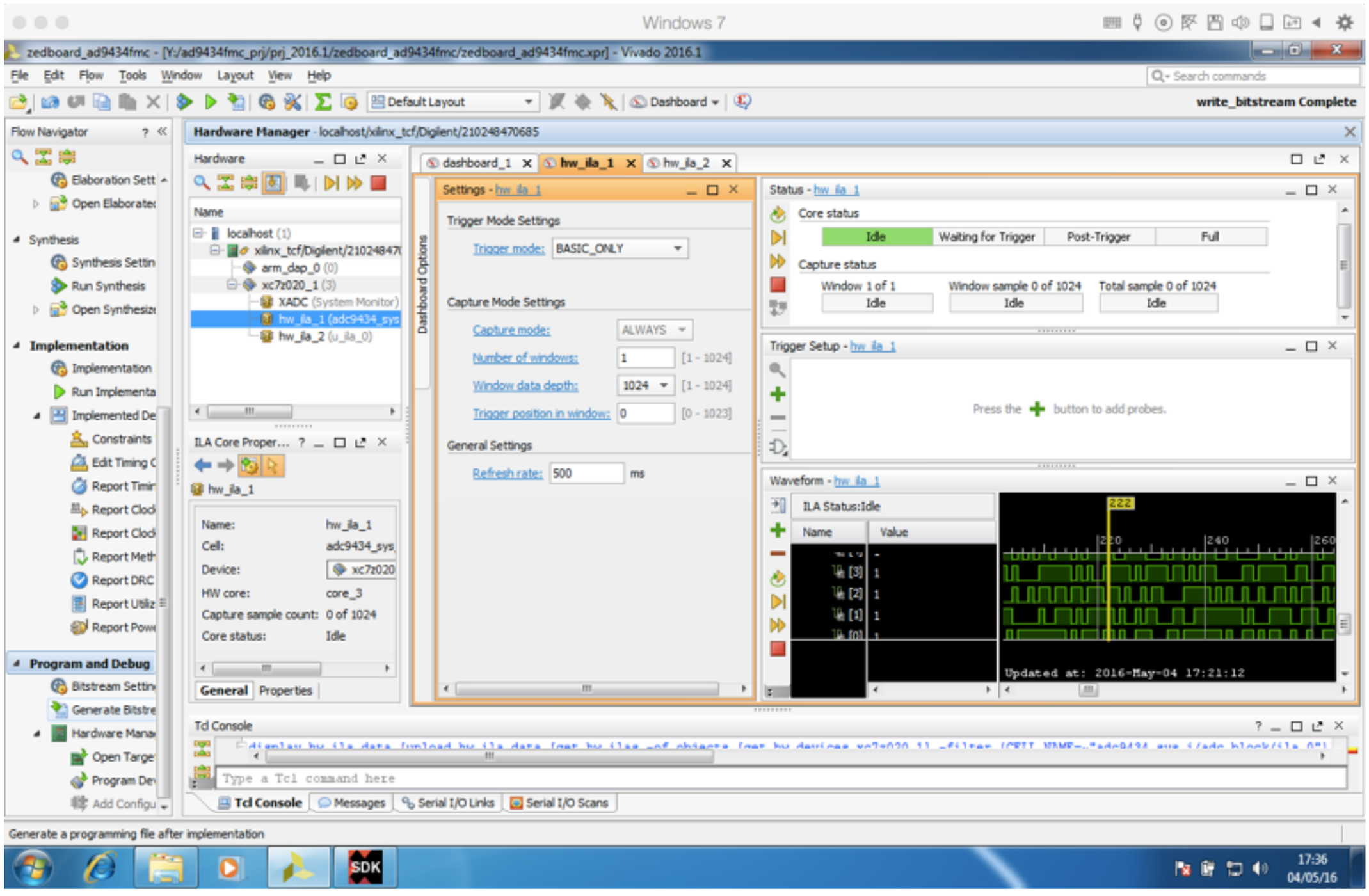


Flusso di sviluppo di Vivado tradizionale

- Sintesi
- Setup Debug
- Pin Placement
- Timing Constraints
- Implementazione
- Bitfile

Debugging con Integrated Logic Analyzer(s) 1/3

Centro di Elettronica INFN Bologna

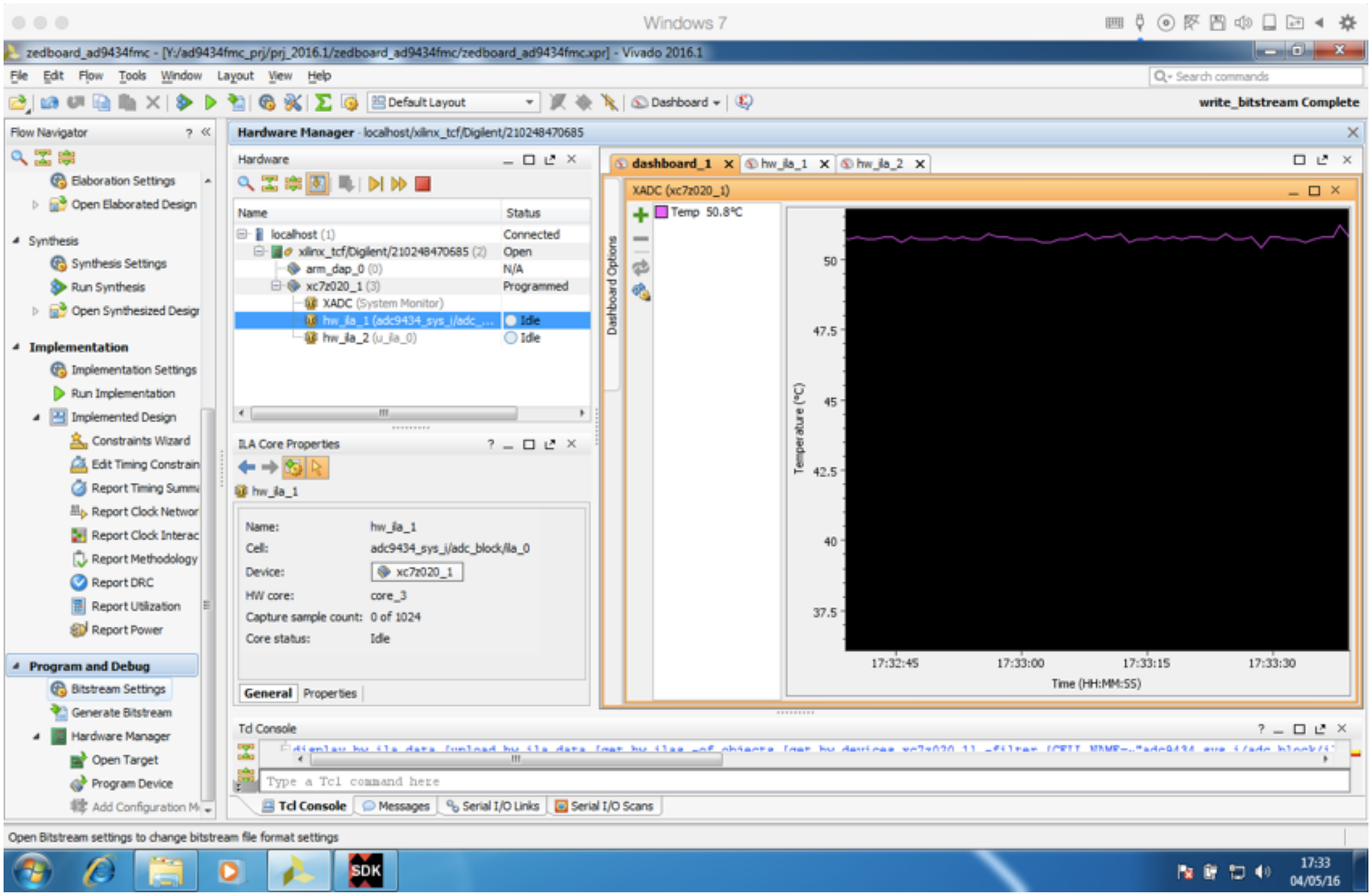


Interfaccia di configurazione del Logic Analyzer

Debugging con Integrated Logic Analyzer(s) 2/3

Istituto Nazionale di Fisica Nucleare

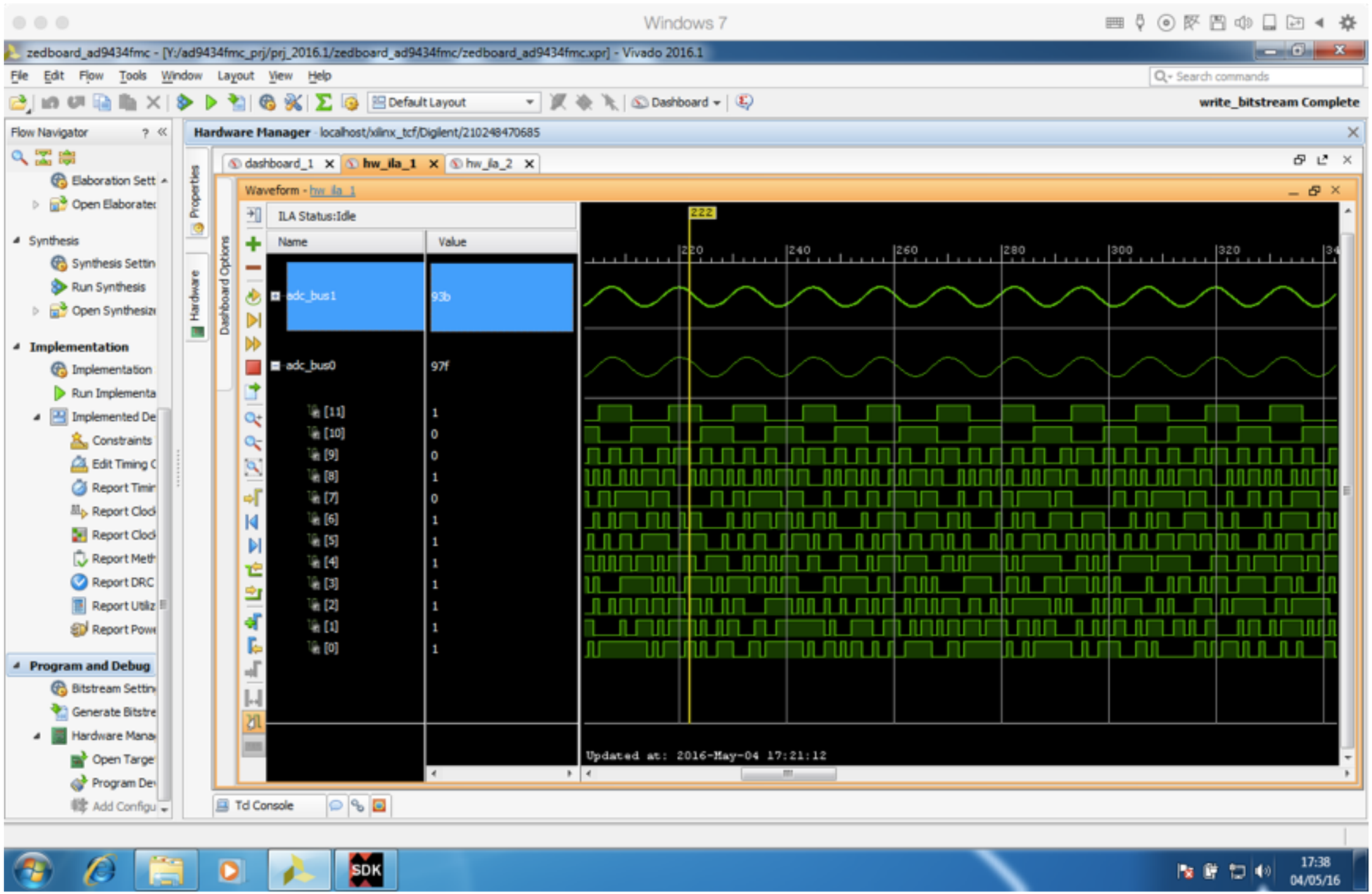
Centro di Elettronica INFN Bologna



Accesso al sensore di temperatura dell'FPGA

Debugging con Integrated Logic Analyzer(s) 3/3

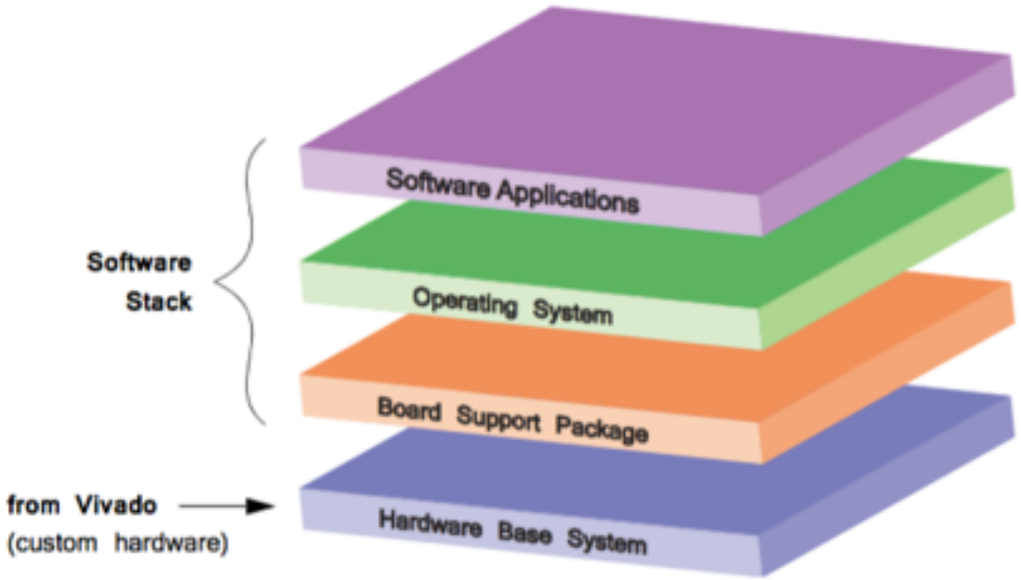
Centro di Elettronica INFN Bologna

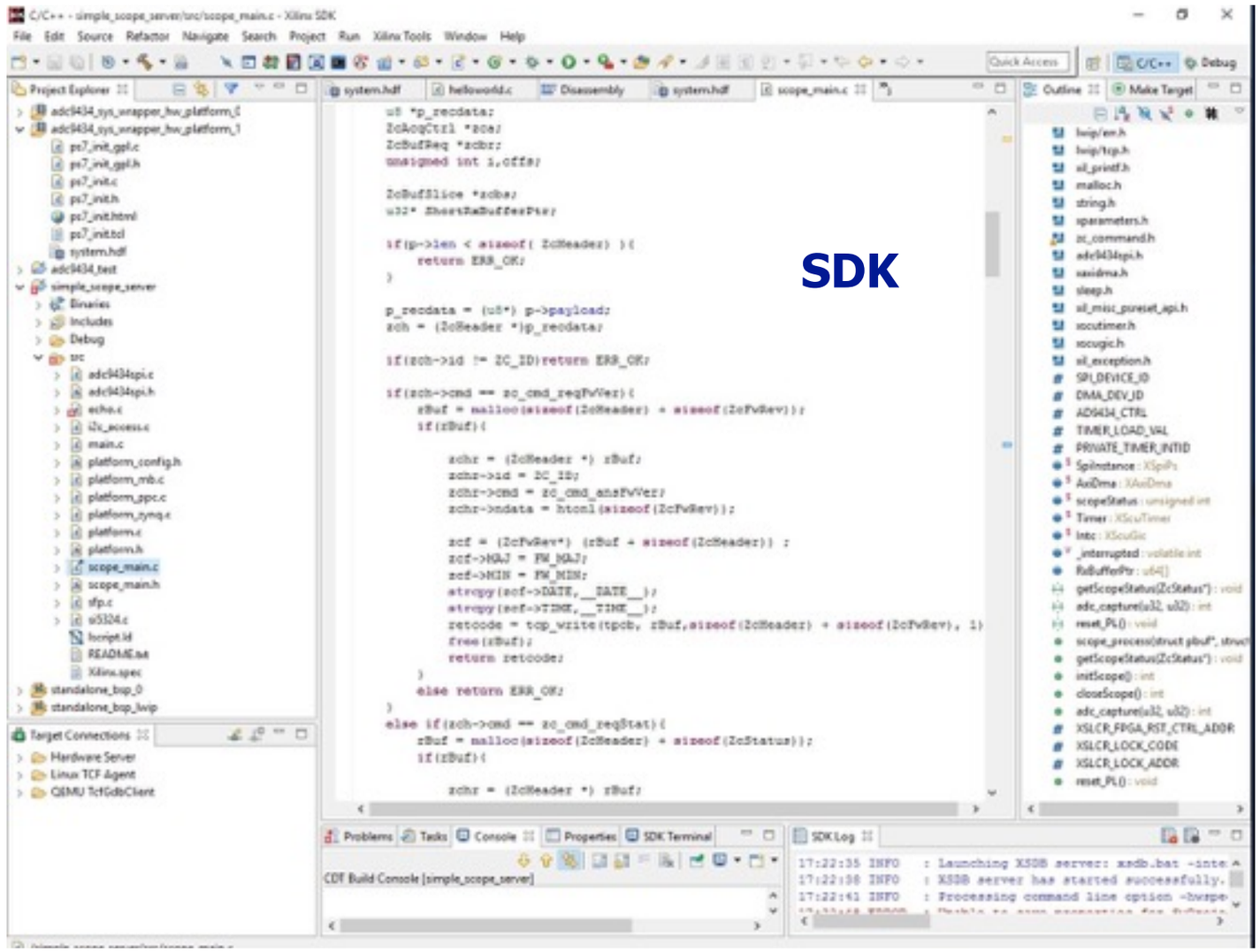


Acquisizione dei segnali con visualizzazione digitale e analogica

Sviluppo del software per il microprocessore

Centro di Elettronica INFN Bologna



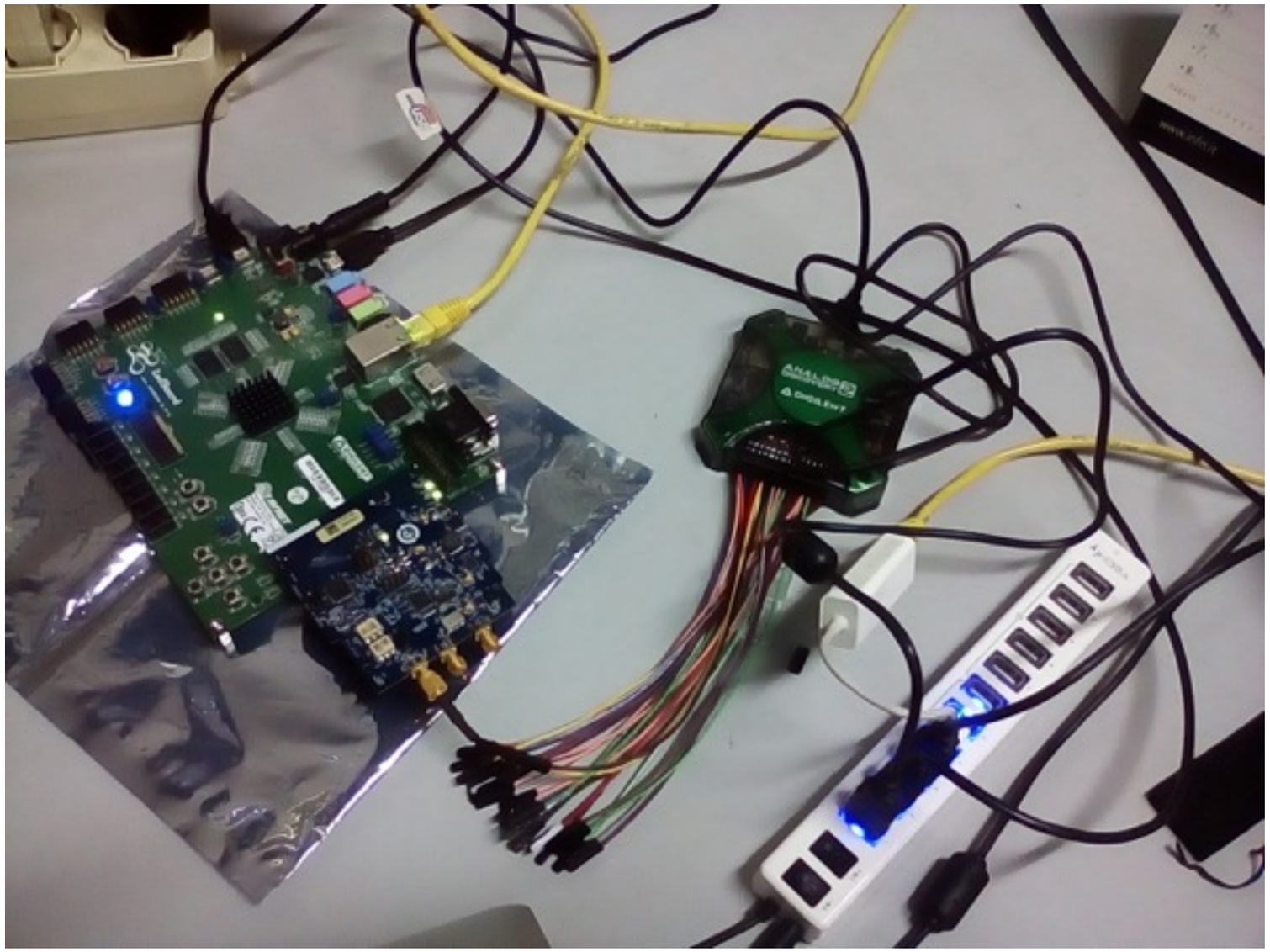


Applicazione Sw: server Ethernet che risponde a pacchetti con codifica custom per configurare i dispositivi (SPI) e spedisci dati acquisiti in memoria (tramite DMA)

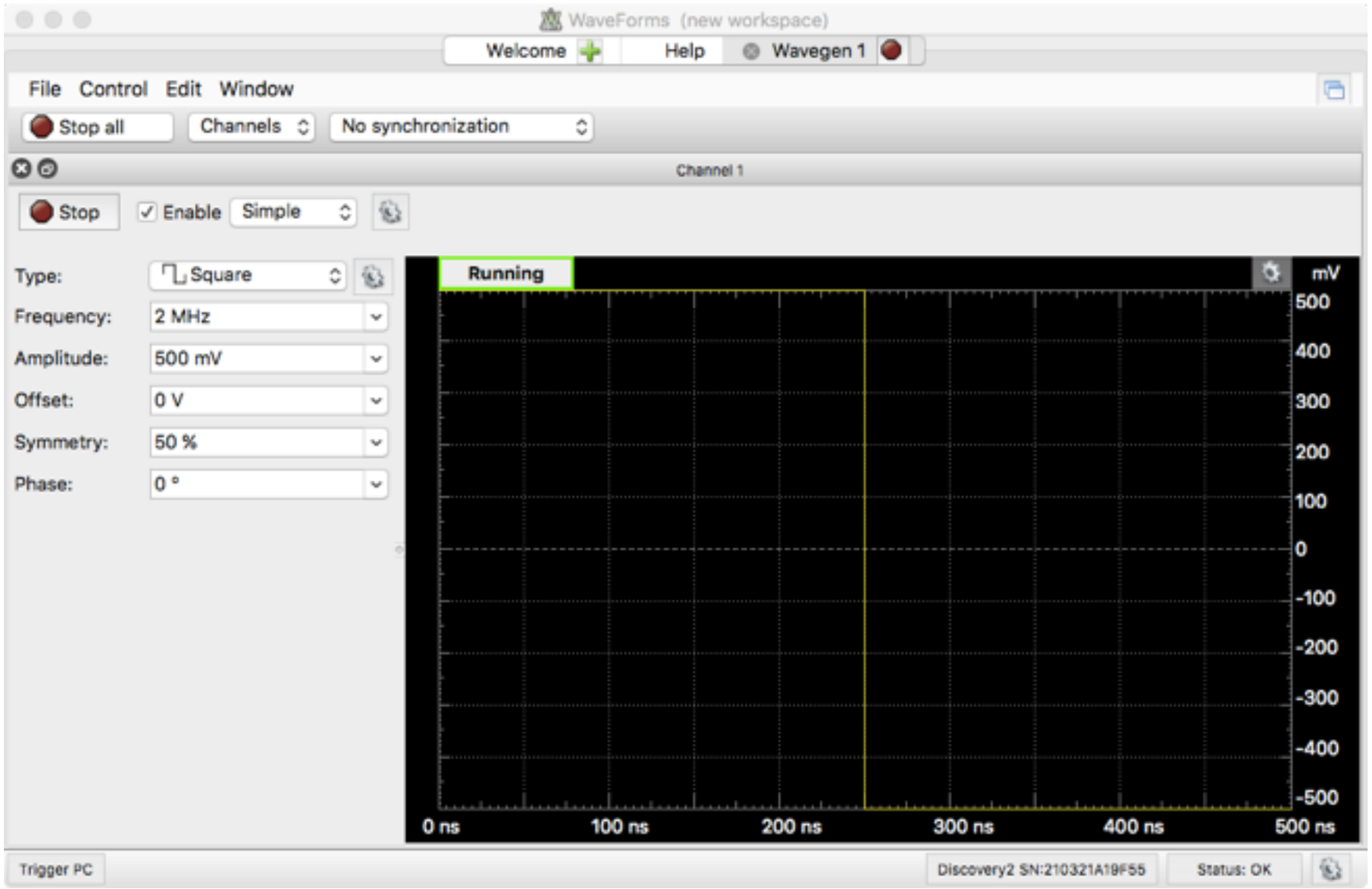
Sviluppato a partire dal template di progetto "echo server" di SDK

Test setup

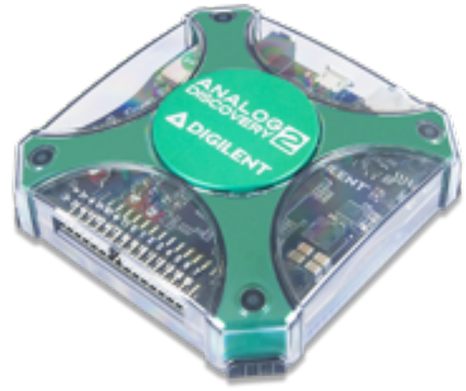
Centro di Elettronica INFN Bologna



Esempi di misure



Onda quadra a 2 MHz generata con Analog Discovery 2

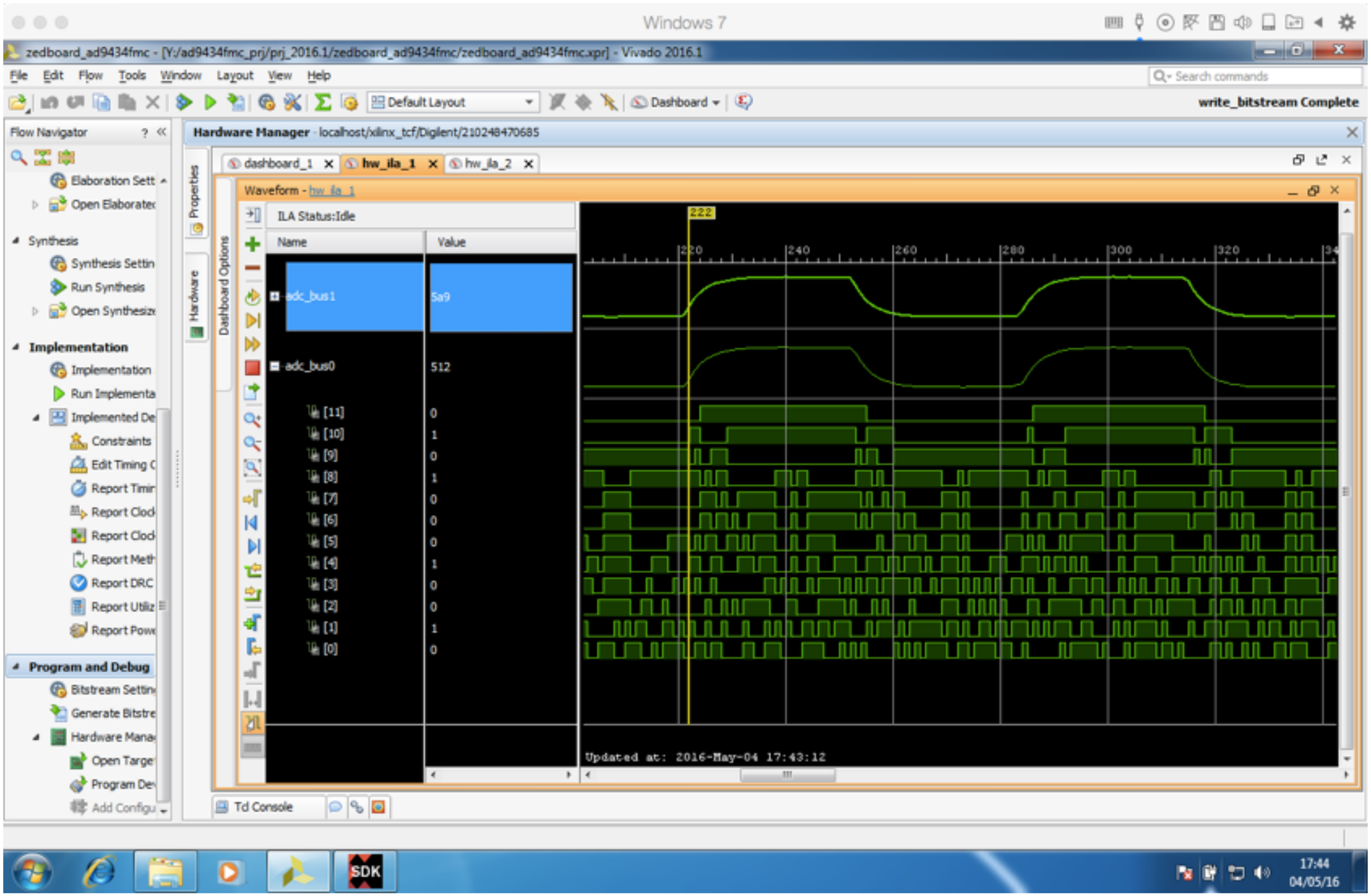


Analog Discovery 2
Digilent

100MSPS USB Oscilloscope,
Logic Analyzer,
Arbitrary Function Generator
(20MHz BW)

http://store.digilentinc.com/analog-discovery-2-100msps-usb-oscilloscope-logic-analyzer-and-variable-power-supply/

Esempi di misure

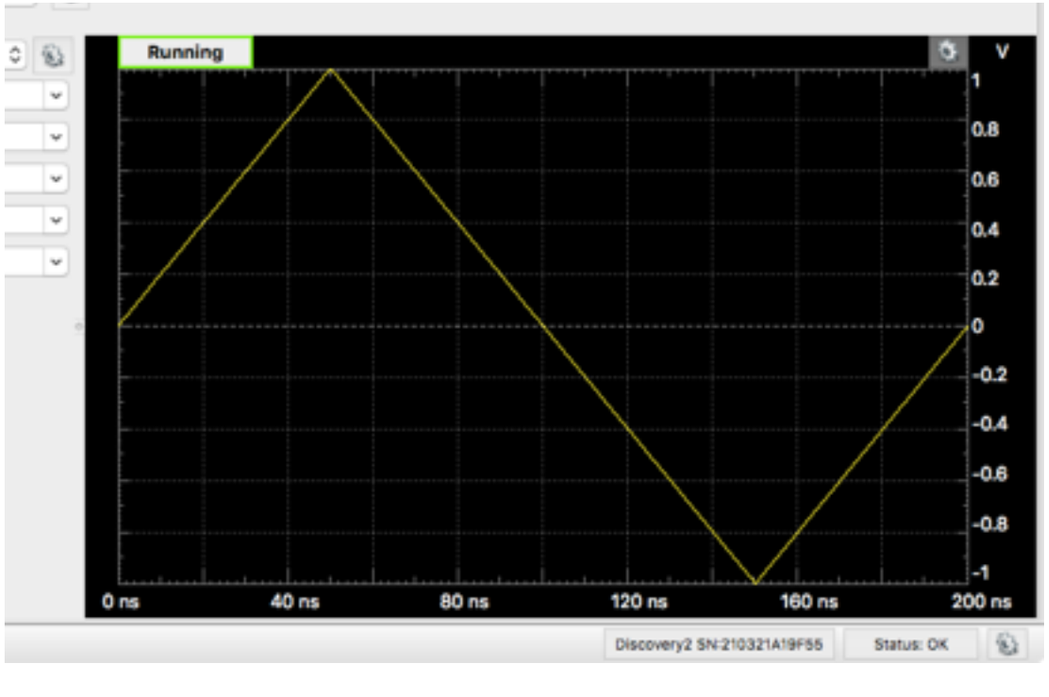


1 periodo : ~ 60 campioni a 125 MHz (~ 2 MHz)

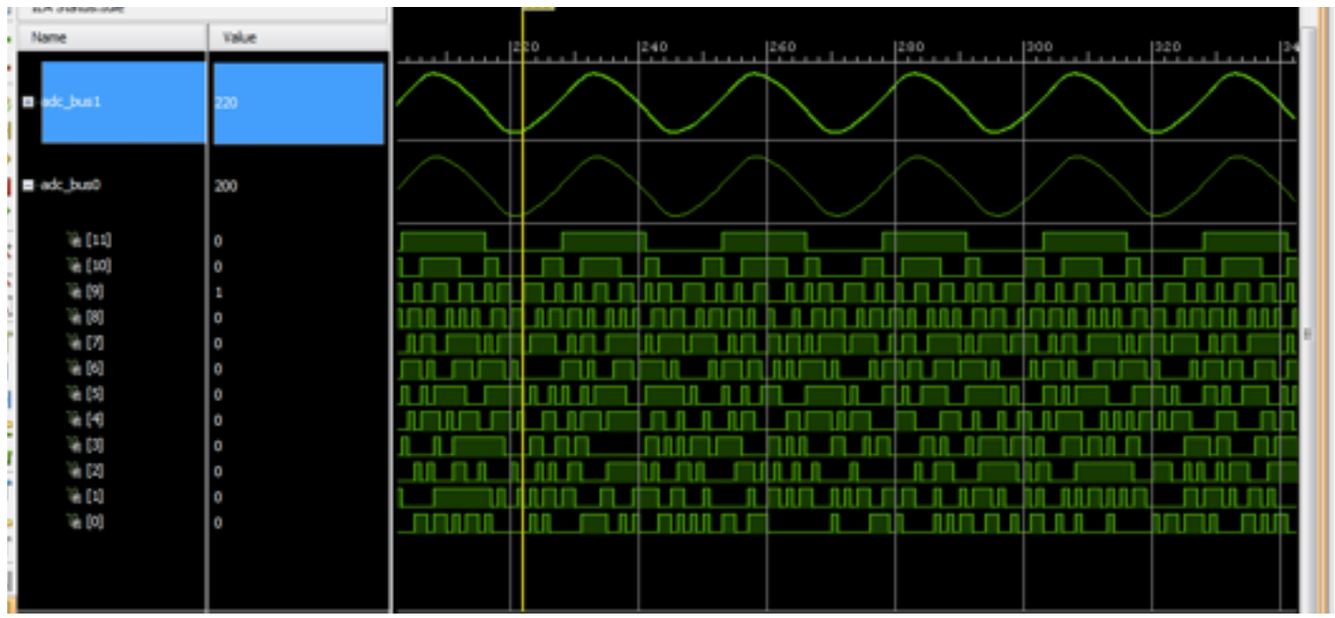
Altri esempi

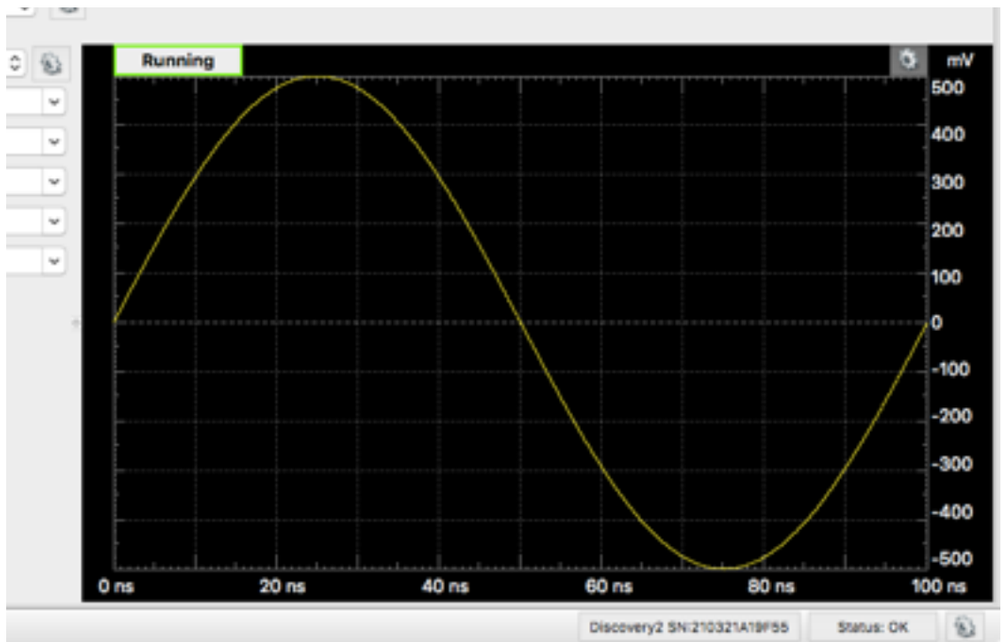
Centro di Elettronica INFN Bologna

5 MHz

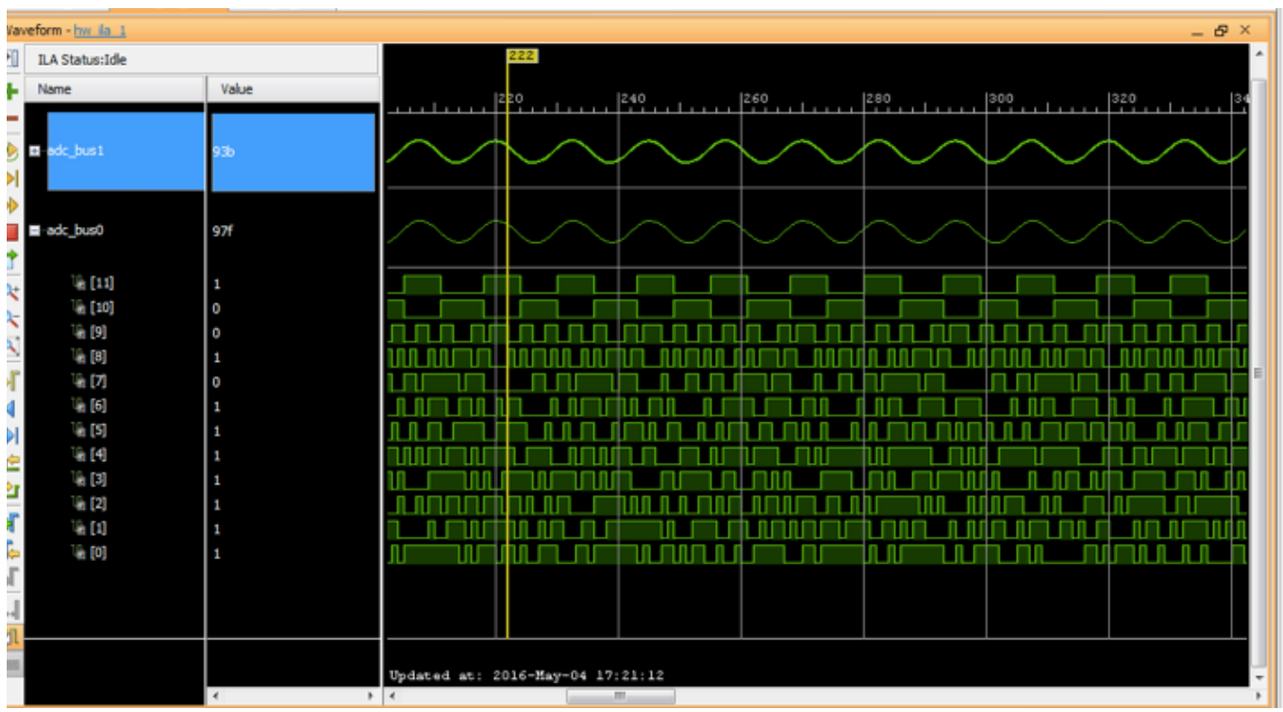


1 periodo: 25 campioni @ 125 MHz





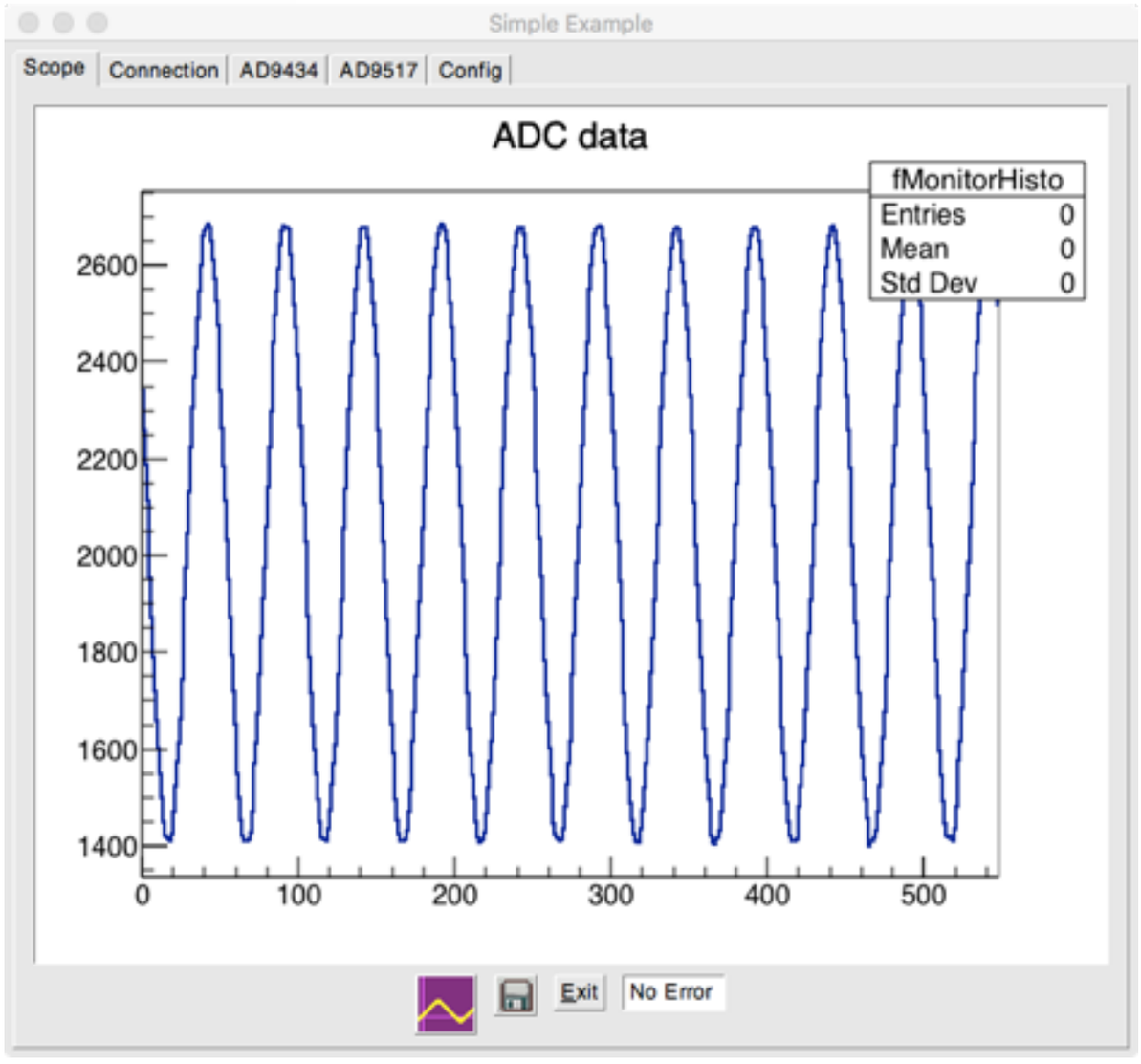
10 MHz



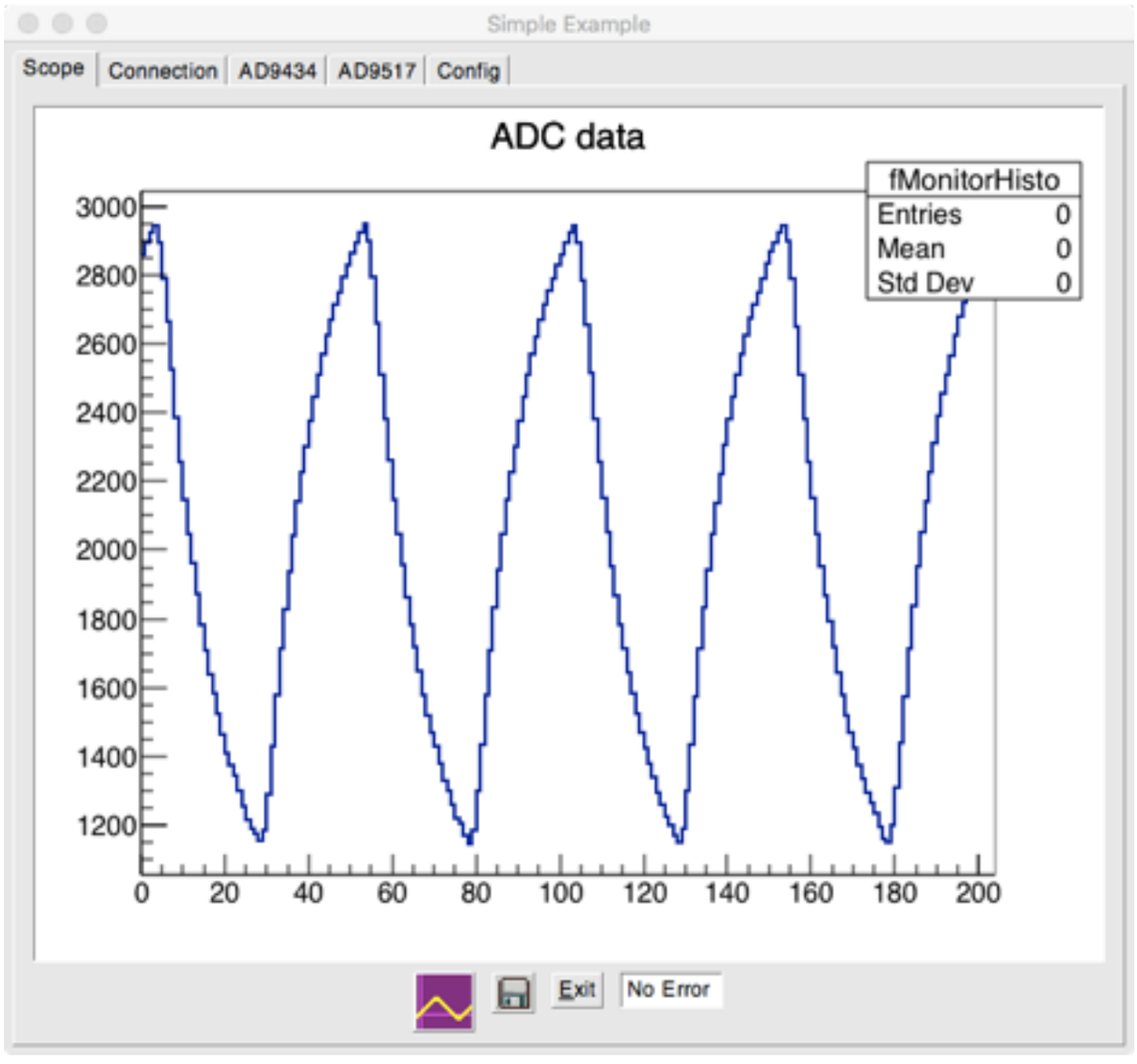
1 periodo: ~ 12 campioni @ 125 MHz

Acquisizione tramite Ethernet

Centro di Elettronica INFN Bologna



input sinusoide a 10 MHz
1 periodo : 50 campioni a 500 MHz



input triangolare a 5 MHz
1 periodo: 100 campioni a 500 MHz

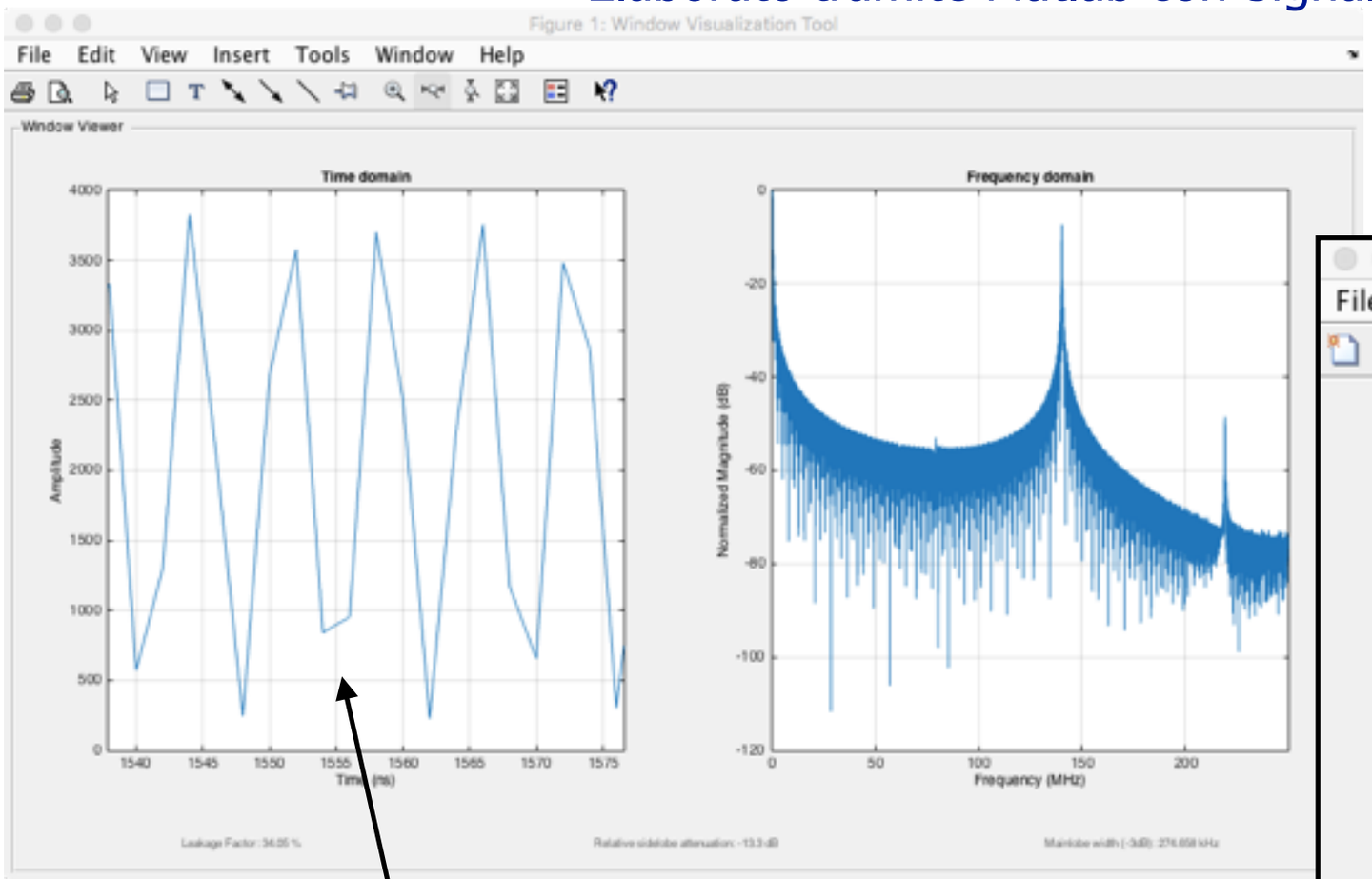
Graphical User Interface scritta in ROOT* per la configurazione dei dispositivi
l'acquisizione di campioni, il monitoring e il salvataggio su file (ascii)

* https://root.cern.ch

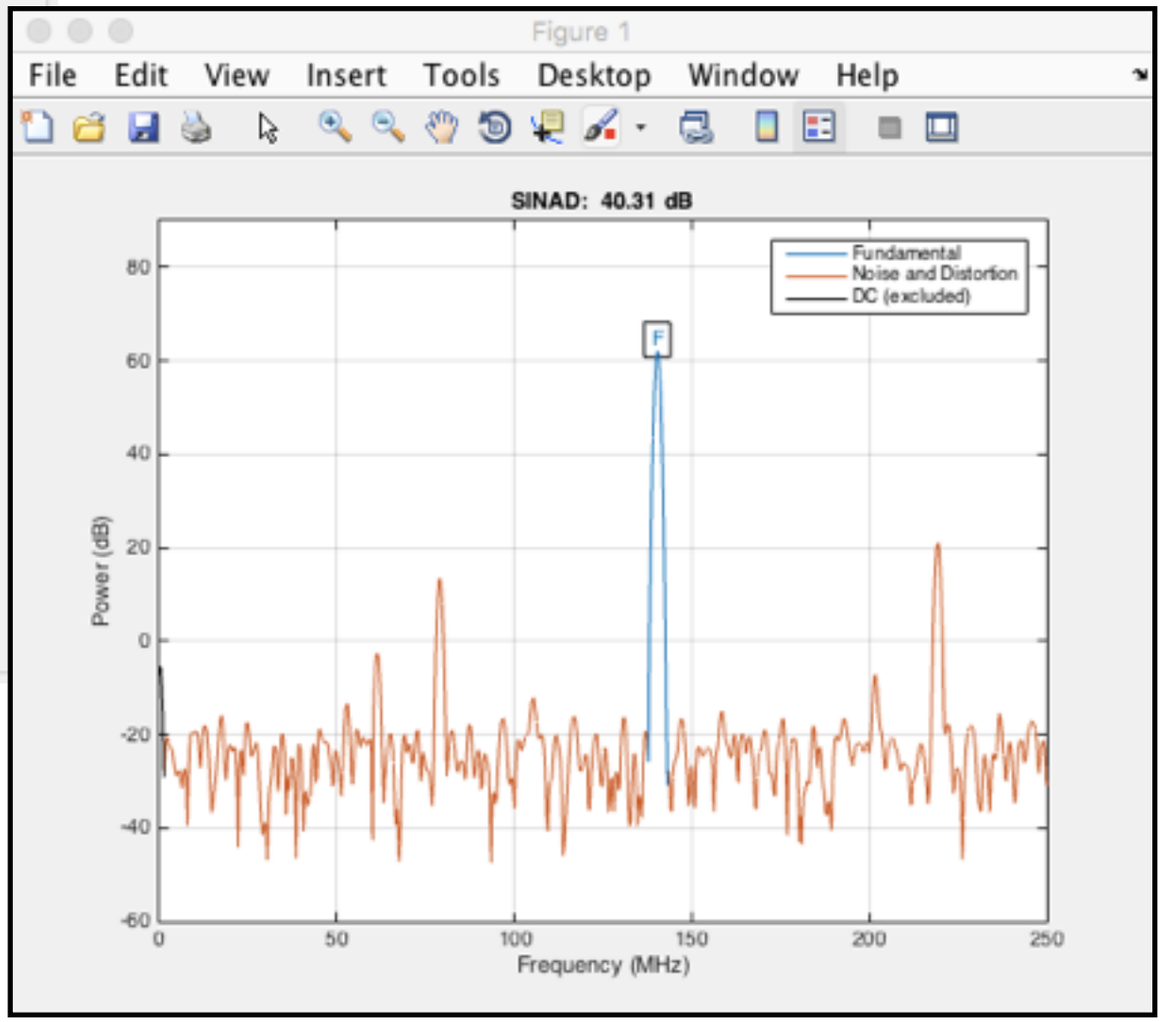
Esempio di Analisi

Centro di Elettronica INFN Bologna

Acquisizione di un segnale sinusoidale a 140.3 MHz
(1600 campioni)
Elaborato tramite Matlab con Signal Processing Toolbox



zoom
(sottoinsieme dei 1600 campioni)



Considerazioni conclusive sull'utilizzo di FPGA Xilinx Zynq

Centro di Elettronica INFN Bologna

- Documentazione e tutorials
- Facilita' di apprendimento
- Board commerciali di sviluppo
- Tempi di design
- Implementazione di protocolli standard (SPI, Ethernet…)

- Sistemi di test
- Acquisizione ed elaborazioni dati
- Tolleranza radiazioni
- Utilizzo nello spazio

- Vivado
- Debug con Integrated Logic Analyzer
- SDK

- Integrazione con moduli VHDL
- Design AXI-"centrico"
- IP integrator
- Configurazione e sw di alcuni IP cores (DMA)
- Creazione custom IP
- Update di custom IP

Riferimenti

- The Zynq Book (free PDF) : http://www.zynqbook.com
- The Zynq Book Tutorial (free) http://www.zynqbook.com/download-tuts.html

- Zynq-7000 All Programmable SoC. (Z-7010, Z-7015, and Z-7020): DC and AC Switching Characteristics. DS187 (v1.17) November 24, 2015
- LogiCORE IP AXI DMA v7.1 PG021
- Zynq-7000 AP SoC Technical Reference Manual UG585
- Vivado Design Suite AXI Reference Guide UG1037

- http://zedboard.org